

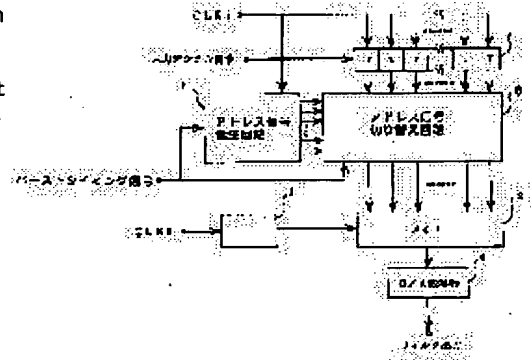
(11)Publication number : 08-046485
(43)Date of publication of application : 16.02.1996

H03H 17/02
H03H 17/06

(71)Applicant : OKI ELECTRIC IND CO LTD
(72)Inventor : WASHITANI KYOJI

PURPOSE: To provide a filter output with the lump up/down data added to the burst-state input digital signal without increasing the capacity of a memory in the digital filter equipped with a shift resistor and a memory which stores the data to be used as a filter output.

CONSTITUTION: The digital filter is provided with an address signal generation circuit 5 operated by a burst timing signal and generating an address signal which reads out the data adequate to prepare lump up signals and lump down signals before and after the burst signal from d memory 2 and an address signal switching circuit 6 operated by a burst timing signal and outputting the address signal generated by the circuit 5 instead of the n-bit data kept in a shift resistor 1 to the memory 2.



[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

00/10/27 10:17

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-46485

(43)公開日 平成8年(1996)2月16日

(51)Int.Cl.⁶

H03H 17/02
17/06

識別記号

庁内整理番号

H 8842-5J
Z 8842-5J

F1

技術表示箇所

審査請求 未請求 請求項の数2 OL (全8頁)

(21)出願番号

特願平6-175671

(22)出願日

平成6年(1994)7月27日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 鷺谷 亨治

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

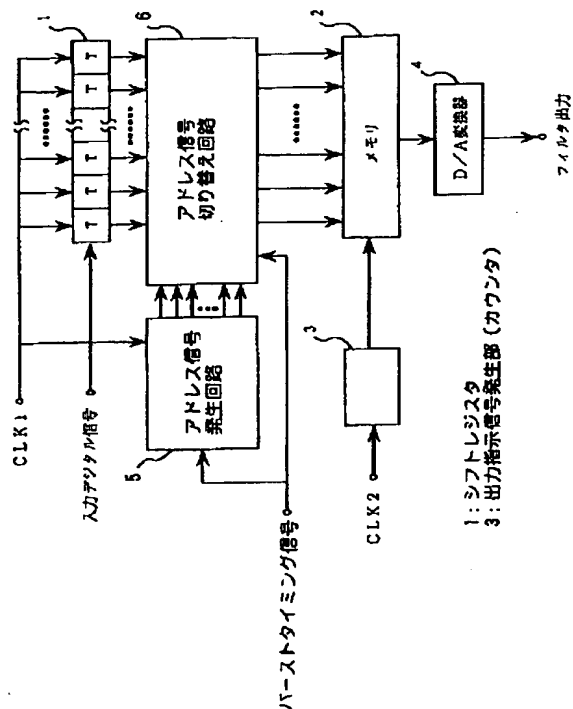
(74)代理人 弁理士 大垣 孝

(54)【発明の名称】 デジタルフィルタ

(57)【要約】

【目的】 シフトレジスタ1と、フィルタ出力として利用されるデータを格納しているメモリ2とを具えるデジタルフィルタにおいて、バースト状の入力デジタル信号にランプアップ・ダウンデータを付加した状態のフィルタ出力を、メモリ2の容量を増加することなく得ること。

【構成】 バーストタイミング信号により動作し、バースト信号の前後のランプアップ信号およびランプダウン信号を作成するために好適なデータを前記メモリから読み出すためのアドレス信号を発生するアドレス信号発生回路5と、バーストタイミング信号により動作し、前記アドレス信号発生回路で発生されたアドレス信号を前記シフトレジスタが保持するnビットのデータの代わりに前記メモリに出力するアドレス信号切り替え回路6とを具える。



1

【特許請求の範囲】

【請求項1】 入力デジタル信号が入力され、第1のクロック信号により制御される n ビットの規模のシフトレジスタと、フィルタ出力として利用されるデータを格納すると共に、前記シフトレジスタが保持する n ビットのデータをアドレス信号として入力し、該アドレス信号に対応する格納データを出力指示信号に応じて出力するメモリと、を具えるデジタルフィルタにおいて、バーストタイミング信号により動作し、バースト信号の前後のランプアップ信号およびランプダウン信号を作成するために好適なデータを前記メモリから読み出すためのアドレス信号を発生するアドレス信号発生回路と、前記バーストタイミング信号により動作し、前記アドレス信号発生回路で発生されたアドレス信号を前記シフトレジスタが保持する n ビットのデータの代わりに前記メモリに出力するアドレス信号切り替え回路とを具えたことを特徴とするデジタルフィルタ。

【請求項2】 フィルタ出力として利用されるデータを格納すると共に、入力デジタル信号をアドレス信号として入力し、該アドレス信号に対応する格納データを出力指示信号に応じて出力するメモリを具えるデジタルフィルタにおいて、バーストタイミング信号、第1のクロック信号および前記入力デジタル信号が入力されるデジタル信号処理部であって、前記バーストタイミング信号が入力されていないときは、前記入力デジタル信号を前記第1のクロック信号が到来するごとに1ビットずつシフトすると共に、 n ビット分を前記メモリに対しアドレス信号として出力し、前記バーストタイミング信号が入力されたときは、バースト信号の前後のランプアップ信号およびランプダウン信号を作成するために好適なデータを前記メモリから読み出すための n ビットのアドレス信号を発生してこれを前記メモリに対し出力するデジタル信号処理部を具えたことを特徴とするデジタルフィルタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、デジタルフィルタに関するものである。

【0002】

【従来の技術】 デジタルフィルタの一例が、例えば特開平3-150917号公報に開示されている。このデジタルフィルタは、所定のシフトレジスタ、所定のメモリおよび所定のカウンタを具えたものであった。ここで、所定のシフトレジスタは、入力デジタル信号を第1のクロック信号により1ビットずつシフトし n ビット分保持するものであった。また、所定のメモリは、フィルタ出力として利用されるデータを格納しているもので、しかも、前記シフトレジスタが保持する n ビットのデータをアドレス信号として入力し、かつ、該アドレス

2

信号に対応する格納データを前記カウンタからの出力指示信号に応じて出力するメモリであった。また、所定のカウンタは、前記メモリに対しデータの出力を指示する信号（出力指示信号）を出力するものであった。具体的には、前記第1のクロック信号の s 倍（ s は2以上の整数）の周期の第2のクロック信号をカウントすることで生成される信号を、前記メモリに対して出力指示信号として出力するものであった。

【0003】

【発明が解決しようとする課題】 ところで、デジタルフィルタによる処理においては、バースト状の入力デジタル信号を処理する場合が多々ある。その場合のデジタルフィルタからの出力信号は、バースト信号部分の前側にランプアップ部が付加されかつ後側にランプダウン部が付加された状態の信号とするのが好ましい。これは、いきなり信号を切断してしまうと、信号のスペクトルが広がってしまうので、それを防止するためである。そして、ランプアップ部分およびランプダウン部分を有した状態のフィルタ出力を、たとえば上述の従来のデジタルフィルタを用い得るためには、以下に図4および図5を参照して説明する構成が考えられる。ここで、図4はデジタルフィルタの構成図である。この図4において、1は上述の n ビット規模のシフトレジスタ、2は上述のメモリ、3は上述のカウンタ、4はメモリ2から出力されるデータをアナログ信号に変換しフィルタ出力とするD/A変換器、CLK1は第1のクロック信号、CLK2は第2のクロック信号である。また、図5は、第1のクロック信号、入力デジタル信号、バーストタイミング信号およびフィルタ出力の関係の一例を示した波形図である。ここで、バーストタイミング信号とは、図5に示したように、入力デジタル信号においてこれからバースト信号部分 S_A が入力されること、或は、バースト信号部分 S_A が終了したことを示すための信号 S_B である。このバーストタイミング信号 S_B は、入力デジタル信号に対し何らかの処理を行ないその都度作成される場合または、入力デジタル信号の規格により予め用意されている場合など、信号処理形態に応じ種々の方法で準備できる。また、図5の S_{RU} がフィルタ出力におけるランプアップ部であり、 S_{RD} がフィルタ出力におけるランプダウン部である。

【0004】 図4に示したように、シフトレジスタ1からの n ビットの信号線と、バーストタイミング信号の信号線との合計 $(n+1)$ ビットでメモリ2のアドレス信号を構成し、かつ、このメモリ2を、 $(n+1)$ ビットで読み出される容量のものとするので、ランプアップ部分およびランプダウン部分を有した状態のフィルタ出力を得るのである。この構成では、バーストタイミング信号 S_B の入力がない場合（0レベルの場合）、メモリ2はシフトレジスタ1が保持している n ビットのデータにより実質的にアドレス指定される。これに対し、パー

3

ストタイミング信号 S_B が入力された場合(1レベルの場合)、メモリ2は $(n+1)$ ビットのデータによりアドレス指定される。ここで、バーストタイミング信号 S_B が入力された場合のアドレスを所定のアドレスにしておくと、メモリ2に格納されているデータのうちの、ランプアップ部およびランプダウン部の作成に好適なデータを、メモリ2から読み出すことができるので所望のフィルタ出力が得られる。

【0005】しかしながら、この図4を参照して説明した構成の場合、メモリ2のアドレス信号を1ビット増やす分、メモリ2の容量を2倍に増やす必要があるという問題点があった。特に、シフトレジスタのビット数 n が大きい場合は、アドレス信号をたとえ1ビット追加するといえど、メモリの増加量は極めて大きくなる。つまり、例えば、2ビットから3ビットへの変更であれば $2^3 - 2^2 = 4$ であるので4アドレス分のメモリ増加で済むが、例えば8ビットから9ビットへの変更であると $2^9 - 2^8 = 512 - 256 = 256$ であるので256アドレス分のメモリ増加となる。

【0006】

【課題を解決するための手段】そこでこの出願の第一発明によれば、入力デジタル信号が入力され、第1のクロック信号により制御される n ビットの規模のシフトレジスタと、フィルタ出力として利用されるデータを格納すると共に、シフトレジスタが保持する n ビットのデータをアドレス信号として入力し、このアドレス信号に対応する格納データを出力指示信号に応じて出力するメモリと、を具えるデジタルフィルタにおいて、下記の(a)および(b)を具えたことを特徴とする。

【0007】(a) バーストタイミング信号により動作し、バースト信号の前後のランプアップ信号およびランプダウン信号を作成するために好適なデータを前記メモリから読み出すためのアドレス信号を発生するアドレス信号発生回路。

【0008】(b) 前記バーストタイミング信号により動作し、前記アドレス信号発生回路で発生されたアドレス信号を前記シフトレジスタが保持する n ビットのデータの代わりに前記メモリに出力するアドレス信号切り替え回路。

【0009】また、この出願の第二発明によれば、フィルタ出力として利用されるデータを格納すると共に、入力デジタル信号をアドレス信号として入力し、該アドレス信号に対応する格納データを出力指示信号に応じて出力するメモリを具えるデジタルフィルタにおいて、バーストタイミング信号、第1のクロック信号および前記入力デジタル信号が入力されるデジタル信号処理部であって、前記バーストタイミング信号が入力されていないときは、前記入力デジタル信号を前記第1のクロック信号が到来するごとに1ビットずつシフトすると共に、 n ビット分を前記メモリに対しアドレス信号とし

4

て出力し、前記バーストタイミング信号が入力されたときは、バースト信号の前後のランプアップ信号およびランプダウン信号を作成するために好適なデータを前記メモリから読み出すための n ビットのアドレス信号を発生してこれを前記メモリに対し出力するデジタル信号処理部を具えたことを特徴とする。

【0010】

【作用】これら第一及び第二発明によれば次のような作用が得られる。メモリ内にはフィルタ出力として利用される多数のデータが格納されており、これらデータにはランプアップ信号およびランプダウン信号を作成するに好適な(流用可能な)データも含まれる。そして、第一及び第二発明では、バーストタイミング信号が到来したとき、メモリ内に格納されているデータのうちのランプアップ信号およびランプダウン信号を作成するに好適なデータを読み出すためのアドレス信号を特別に作成し、このアドレス信号によりメモリをアクセスできる。したがって、メモリの容量を増やすことなくメモリ内のデータを流用してランプアップ信号およびランプダウン信号を作成できる。

【0011】

【実施例】以下、図面を参照してこの出願の第一発明および第二発明の実施例についてそれぞれ説明する。なお、説明に用いる各図において従来の構成成分と同様な構成成分については同一の番号を付して示してある。

【0012】1. 第一発明の実施例

図1は第一発明の実施例のデジタルフィルタの構成を示した図である。この第一発明の実施例のデジタルフィルタは、詳細は後述するが、所定のシフトレジスタ1、所定のメモリ2、出力指示信号発生部3、D/A変換器4、所定のアドレス信号発生回路5および所定のアドレス信号切り替え回路6を具える。

【0013】ここで、シフトレジスタ1は、第1のクロック信号 $CLK1$ により制御される n ビットの規模のシフトレジスタであって、その初段に入力デジタル信号の先頭ビットを記憶した後、第1のクロック信号によって入力デジタル信号を1ビットずつシフトするものである。このシフトレジスタ1の各段の出力は、アドレス信号切り替え回路6に接続してある。なお、シフトレジスタ1の段数 n は、デジタルフィルタの設計に応じた任意の数とできる。

【0014】また、メモリ2は、フィルタ出力として利用されるデータを多数格納しているメモリである。しかも、シフトレジスタ1が保持する n ビットのデータ或はアドレス信号発生回路5で発生されたデータのいずれかをアドレス信号として入力し、このアドレス信号に対応する格納データを出力指示信号 S_{OUT} に応じて出力するメモリである。

【0015】なお、出力指示信号 S_{OUT} は出力指示信号発生部3により発生されメモリ2に入力される。この

5

出力指示信号発生部3は、ディジタルフィルタの設計に応じた任意好適な構成とできる。この実施例では、第1のクロック信号CLK1に対し周期がs倍(sは例えば2以上の数)の第2のクロック信号CLK2を計数するカウンタ3を用意し、その出力信号を出力指示信号SOUTとしている。つまり、オーバーサンプリング技術を採用している。もちろん、出力指示信号として第2のクロック信号CLK2をそのまま用いたり、あるいは、第1のクロック信号と同周期であるが位相がずれた信号を用いる等の種々の変更を行なえる。

【0016】また、D/A変換器4は、メモリ2から出力される所定のデータをアナログ信号に変換するものである。このD/A変換器4は、特に限定されず、従来公知のもので構成すれば良い。なお、フィルタ出力がディジタル信号で良いならこのD/A変換器4は設けずとも良い。

【0017】また、アドレス信号発生回路5は、図5を用いて既に説明したバーストタイミング信号SBにより動作し、メモリ2内に格納されているデータのうちの、バースト信号の前後のランプアップ信号およびランプダウン信号を作成するために好適なデータを読み出すためのnビットのアドレス信号を発生するものである。このアドレス信号発生回路5は、例えば、バーストタイミング信号SBの監視ビットと、予め定めたアドレス信号が格納されたROMと、所定の論理回路部とを具えたもので構成出来る。ここで、バーストタイミング信号監視ビットは、入力されたバーストタイミング信号SBがランプアップ部に対応するものなのかランプダウン部に対応するものなかを監視するためのビットである。例えばバーストタイミング信号SBが1つ入力されるとこの監視ビットは例えば「1」となり、次に、バーストタイミング信号SBが入力された場合にこの監視ビットは「0」に戻り、これが繰り返されるように構成する。すると、監視ビットを「1」に変化させたバーストタイミング信号SBはランプアップ部に対応するものと判断でき、一方、監視ビットを「0」に変化させたバーストタイミング信号SBはランプダウン部に対応するものと判断できる。また、アドレス信号が格納されたROMは、例えば、所望の傾斜のランプアップ部およびランプダウン部ができるようメモリ2内のデータをアクセスできるように、ここでは複数(詳細は後述する。)のアドレス信号を順に書き込んだものである。また、所定の論理回路とは、ここでは、バーストタイミング信号SBが入力されている間において第1のクロック信号CLK1が入力されるごとに、前記アドレス信号が格納されたROMからアドレス信号を順次に読み出して、アドレス信号切り替え回路6に出力するものである。この実施例では、図5に示したように、バーストタイミング信号SBのパルス幅を、第1のクロック信号CLK1の4パルス分の幅としているので、ROMはランプアップ部用のアドレス信

6

号として4つのアドレス信号を格納し、かつ、ランプダウン部用のアドレス信号として4つのアドレス信号を格納している。このようにアドレス信号が格納されたROMからランプアップ用のアドレス信号を読むか、ランプダウン用のアドレス信号を読むかの制御は、上記バーストタイミング信号監視ビットをチェックすることで行なえば良い。なお、ランプアップとランプダウンとを傾斜が逆のもので良いとする場合なら、ROMからのアドレス信号の読み出し順序を逆にするように構成しても良

い。その場合はROMに用意するアドレス信号は上記8つの半分すなわち4つで済む。もちろん、ここで述べたアドレス信号数などは一例にすぎない。

【0018】また、アドレス信号切り替え回路6は、バーストタイミング信号により動作し、前記アドレス信号発生回路5で発生されたアドレス信号を前記シフトレジスタが保持するnビットのデータの代わりに前記メモリに出力するものである。このようなアドレス切り替え回路6は、任意好適なもので構成出来る。例えば、シフトレジスタ1の格段の出力とメモリ2のアドレス信号入力端子との間それぞれに、スイッチング素子であってバーストタイミング信号SBが入力されていないときにオン状態になるスイッチング素子をそれぞれ設け、一方、アドレス信号発生回路5とメモリ2のアドレス信号入力端子との間それぞれに、バーストタイミング信号SBが入力されているときオン状態になるスイッチング素子(前記スイッチング素子とは反対論理でオン状態になるスイッチング素子)を設ける等の構成である。

【0019】次に、この第一発明の実施例のディジタルフィルタの理解を深めるために、その動作について説明する。

【0020】アドレス信号発生回路5は、これにバーストタイミング信号SBが入力されていない場合は非動作状態になる。また、アドレス信号切り替え回路6は、これにバーストタイミング信号SBが入力されていない場合は、シフトレジスタ1とメモリ2のアドレス信号入力端子との間を有効にする。したがって、この場合、シフトレジスタ1に保持されているnビットのデータがメモリ2に対しアドレス信号として出力される。一方、バーストタイミング信号SBが入力された場合、アドレス信号発生回路5は、所定のアドレス信号を第1のクロック信号に応じ順次に出力する。また、アドレス信号切り替え回路6は、アドレス信号発生回路6とメモリ2のアドレス信号入力端子との間を有効にする。したがって、アドレス信号発生回路6で生じたアドレス信号がメモリ2に対し出力される。また、メモリ2は、シフトレジスタ1あるいはアドレス信号発生回路5のいずれかから入力されたアドレス信号に応じたデータを出力指示信号SOUTに応じD/A変換器4に出力する。D/A変換器4はメモリ2から送られたこのデータをアナログ信号に変換してフィルタ出力として出力する。このようにして形

7

成されたフィルタ出力は、図 5 に示したように、ランプアップデータおよびランプダウンデータが付加されたものとなる。

【0021】 2. 第二発明の実施例

図 2 は第二発明のデジタルフィルタの構成を示した図、図 3 は第二発明のデジタルフィルタに備わるデジタル信号処理部の説明に供する動作流れ図である。この第二発明のデジタルフィルタは、第一発明のデジタルフィルタで設けていたシフトレジスタ 1、アドレス信号発生回路 5 およびアドレス信号切り替え回路 6 の部分を、所定のデジタル信号処理部 7 に置き換えたものである。このデジタル信号処理部 7 とは、バーストタイミング信号 S_B 、第 1 のクロック信号 $CLK1$ および入力デジタル信号が入力され、バーストタイミング信号が入力されていないときは、入力デジタル信号を前記第 1 のクロック信号が到来するごとに 1 ビットずつシフトすると共に、 n ビット分をメモリ 2 に対しアドレス信号として出力し、バーストタイミング信号が入力されたときは、バースト信号の前後のランプアップ信号およびランプダウン信号を作成するために好適なデータをメモリ 2 から読み出すための n ビットのアドレス信号を発生してこれをメモリ 2 に対し出力するものである。このようなデジタル信号処理部 7 は、例えばデジタル信号処理プロセッサ (DSP) により構成出来る。以下、図 3 を参照してこのデジタル信号処理部 7 の動作について説明する。

【0022】 デジタル信号処理部 7 は、先ず、入力デジタル信号から n ビット分のデータを入力する (図 3 のステップ S 1)。また、デジタル信号処理部 7 は、バーストタイミング信号 S_B が入力されたか否かを判定する (ステップ S 2)。そして、バーストタイミング信号が入力されたと判定した場合は、バースト信号の前後のランプアップ信号およびランプダウン信号を作成するために好適なデータをメモリ 2 から読み出すための n ビットのアドレス信号を発生する (ステップ S 3)。次に、デジタル信号処理部 7 は、バーストタイミング信号が入力されたと判定した場合はステップ S 3 で発生した n ビットのアドレス信号を、また、バーストタイミング信号が入力されなかったと判定した場合はステップ 1 で入力した n ビットのデータをメモリ 2 に対し送出する

8

(ステップ S 4)。次に、デジタル信号処理部 7 は、ステップ S 1 で入力していた n ビットのデータを 1 ビットシフトし (ステップ S 5)、次いで、入力デジタル信号から新たにデータを 1 ビット入力する (ステップ S 6)。そして、S 2 ~ S 6 の処理をデータ処理の必要に応じて繰り返す。

【0023】 なお、メモリ 2、出力指示信号発生部 3 および D/A 変換器 4 の動作は、第一発明と同様であるのでここでは省略する。

10 【0024】

【発明の効果】 上述した説明から明らかなように、この出願の第一発明のデジタルフィルタによれば、所定のシフトレジスタ、所定のメモリ、所定のアドレス信号発生回路および所定のアドレス信号切り替え回路を具える。また、第二発明のデジタルフィルタによれば所定のメモリおよび所定のデジタル信号処理部を具える。このため、これら第一及び第二発明によれば、メモリ内に格納されているデータのうちのランプアップ信号およびランプダウン信号を作成するに好適なデータを読み出すためのアドレス信号を特別に作成でき、そしてこのアドレス信号によりメモリをアクセスできる。このため、バースト状の入力デジタル信号にランプアップ・ダウンデータが付加したバースト信号をメモリの容量を増やすことなく作成できる。

【図面の簡単な説明】

【図 1】 第一発明の実施例の説明図である。

【図 2】 第二発明の実施例の説明図である。

【図 3】 第二発明におけるデジタル信号処理部の説明図である。

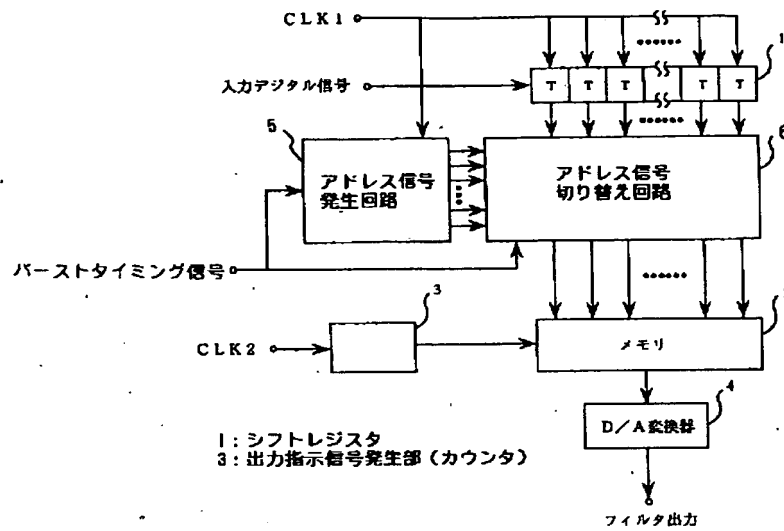
【図 4】 課題を説明するための図である。

【図 5】 従来技術および本発明の説明図である。

【符号の説明】

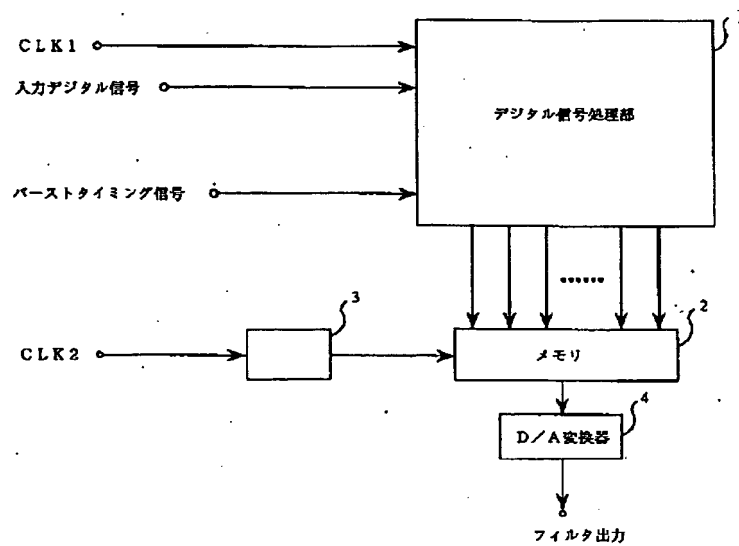
- 1 : シフトレジスタ
- 2 : メモリ
- 3 : 出力指示信号発生部 (カウンタ)
- 4 : D/A 変換器
- 5 : アドレス信号発生回路
- 6 : アドレス信号切り替え回路
- CLK1 : 第 1 のクロック信号

【図 1】



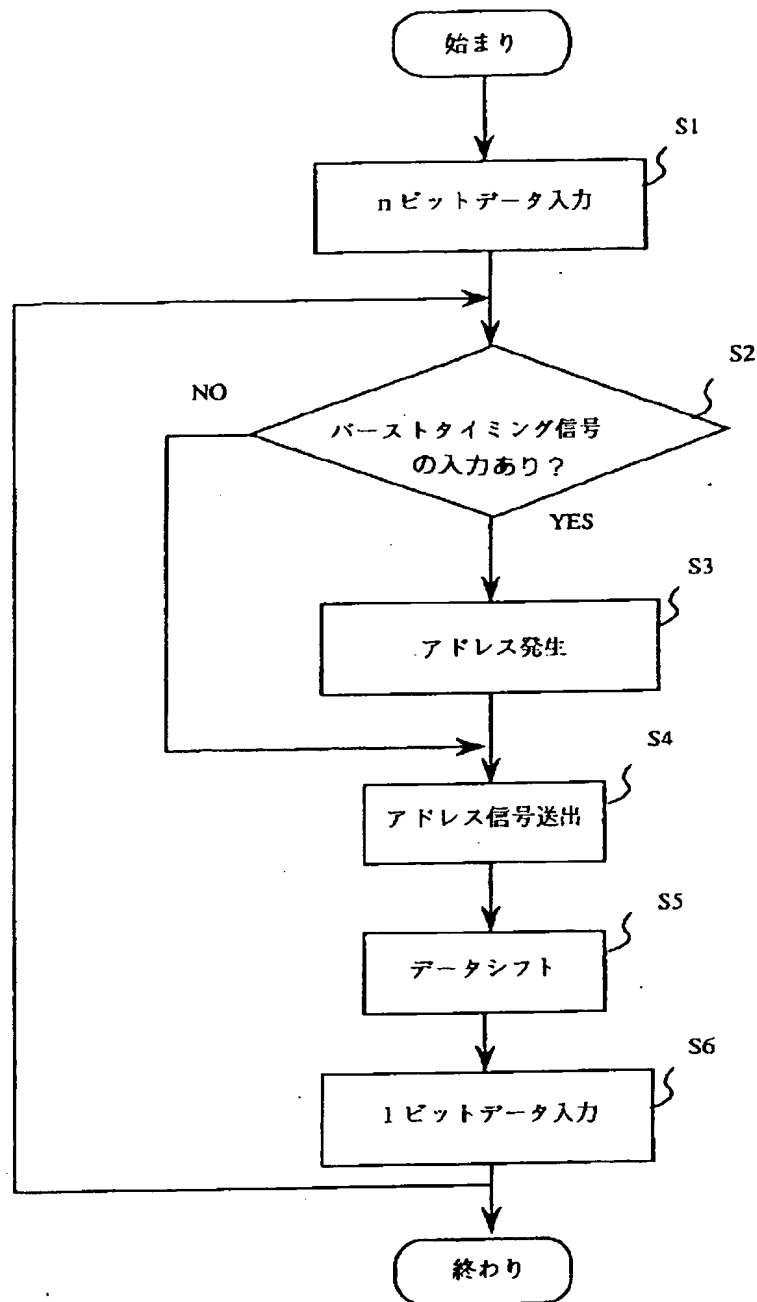
第一発明の実施例の説明図

【図 2】



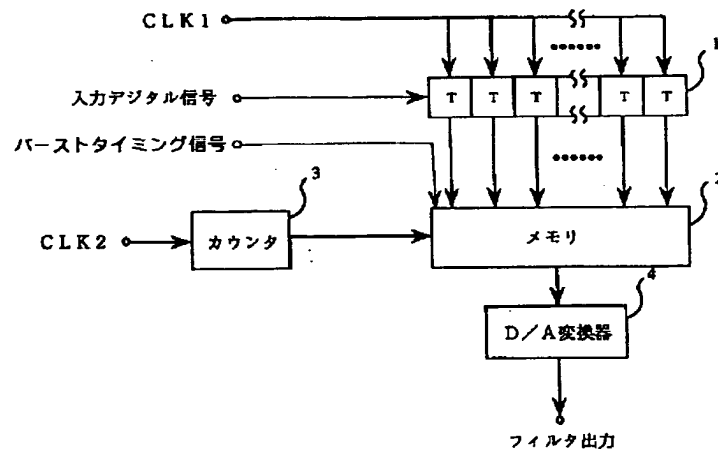
第二発明の実施例の説明図

【図 3】



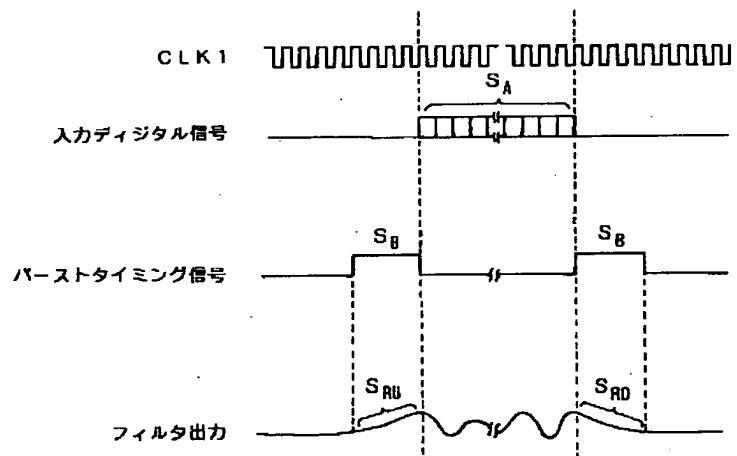
第二発明におけるデジタル信号処理部の説明図

【図 4】



課題を説明するための図

【図 5】



S_A : バースト信号 S_B : バーストタイミング信号
 S_{RU} : ランプアップデータ S_{RD} : ランプダウンデータ

従来技術及び本発明の説明図